

PAT-NO: JP408124393A

DOCUMENT-IDENTIFIER: JP 08124393 A

TITLE: METHOD FOR CONTROLLING MEMORY HAVING
LIMITATION ON
NUMBER OF DATA ERASING TIMES AND DEVICE USING THIS
METHOD

PUBN-DATE: May 17, 1996

INVENTOR-INFORMATION:

NAME

IWAMOTO, NOBUSHIGE

WATANABE, HIDEOMI

RYU, KEN

HIBI, YASUMORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

N/A

APPL-NO: JP06255809

APPL-DATE: October 20, 1994

INT-CL (IPC): G11C016/06, G06F012/16

ABSTRACT:

PURPOSE: To rapidly and easily determine an erasing unit by managing control information for chaining erasing units according to the number of erasing times of respective erasing units at every memory erasing unit and determining the transfer destination and erasing units of writing data according to this control information.

CONSTITUTION: A flash memory 11 is segmented to the plural erasing units 16. The data is erased and the fresh data is written at every erasing unit. Fig. shows the four erasing units for convenience sake which are respectively specified by erasing unit numbers 0 to 3. The number of erasing times is managed by each of the respective erasing units. The information indicating the number of erasing times is stored in the top one byte of the respective erasing units. The erasing unit of the erasing unit number 0 indicates that 880 times of erasing are carried out. A control section 14 controls the operation over the entire part of the system. A CPU 12 determines in which erasing unit the data read out of another memory 15 is to be written according to prescribed procedures. A data transfer circuit 13 composed of a DMA controller controls the actual data transfer.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-124393

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06				
G 0 6 F 12/16	3 1 0 A	7623-5B		
			G 1 1 C 17/ 00	3 0 9 F

審査請求 未請求 請求項の数14 O L (全 19 頁)

(21) 出願番号 特願平6-255809

(22) 出願日 平成6年(1994)10月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 岩本 宜重

東京都品川区大崎2丁目8番8号 富士通
デバイス株式会社内

(72) 発明者 渡辺 英臣

東京都品川区大崎2丁目8番8号 富士通
デバイス株式会社内

(72) 発明者 劉 憲

東京都品川区大崎2丁目8番8号 富士通
デバイス株式会社内

(74) 代理人 弁理士 伊東 忠彦

最終頁に続く

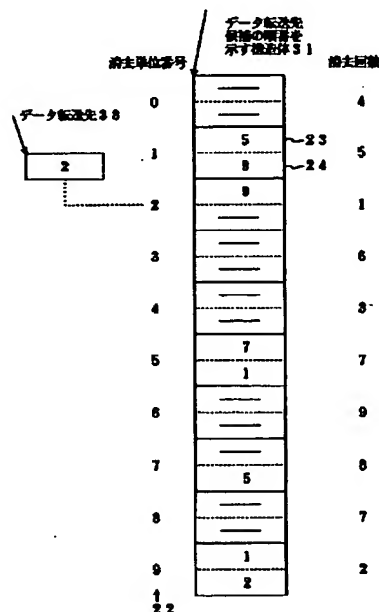
(54) 【発明の名称】 データ消去回数に制限のあるメモリの制御方法及びこの方法を用いた装置

(57) 【要約】

【目的】 フラッシュメモリの書き替え回数を均一化する処理を短時間に速やかに行う方法及びこの方法を用いた装置を提供することを目的とする。

【構成】 メモリの消去単位毎に、各消去単位の消去回数に従って消去単位を連鎖する制御情報を管理する第1の工程と、前記制御情報に応じて、書き込みデータの転送先となる消去単位を決定する第2の工程とを含む。

図2に示す構造体を使用してフラッシュメモリに対し書き込みデータを転送先(書き込み消去単位)を決定する処理を説明するための図



1

【特許請求の範囲】

【請求項1】 データ消去回数に制限のあるメモリを制御する方法であって、

メモリの消去単位毎に、各消去単位の消去回数に従って消去単位を連鎖する制御情報を管理する第1の工程と、前記制御情報に応じて、書き込みデータの転送先となる消去単位を決定する第2の工程とを有することを特徴とするメモリの制御方法。

【請求項2】 前記制御情報は、消去回数の少ない順に消去単位を連鎖する情報と、消去回数の多い順に消去単位を連鎖する情報とを含むことを特徴とする請求項1記載のメモリの制御方法。

【請求項3】 前記制御情報はメモリの消去単位毎に定義される構造体を含み、各構造体は対応する消去単位の消去回数と回数か又は次に多い消去回数の構造体を示す第1のポインタ情報と、対応する消去単位の消去回数と回数か又は次に少ない消去回数の消去単位を示す第2のポインタ情報とを含むことを特徴とする請求項1記載のメモリの制御方法。

【請求項4】 前記第1の工程は、記録可能な消去単位のみを、前記制御情報を用いて連鎖させて管理する工程を含むことを特徴とする請求項1ないし3のいずれか一項記載のメモリの制御方法。

【請求項5】 前記メモリの制御方法は更に、新たに記録可能となった消去単位をその消去回数に従って他の消去可能な消去単位とともに連鎖させる第3の工程を含むことを特徴とする請求項1ないし3のいずれか一項記載のメモリの制御方法。

【請求項6】 前記第2の工程は、前記書き込みデータの指定された転送先の消去単位から順に前記制御情報を参照して消去単位を検索し、記録可能な消去単位のうち最も少ない消去回数の消去単位に前記書き込みデータを転送する工程を有することを特徴とする請求項1記載のメモリの制御方法。

【請求項7】 前記メモリの制御方法は更に、新たに記録可能となった消去単位に関する第1及び第2のポイントを、該新たに記録可能となった消去単位の消去回数と他の記録可能な消去単位の消去回数とに基づき、該新たに記録可能となった消去単位と他の記録可能な消去単位とが連鎖するように設定する第3の工程を有することを特徴とする請求項3記載のメモリの制御方法。

【請求項8】 データ消去回数に制限のあるメモリを制御する方法であって、メモリの消去単位のうち所定数の消去単位を選択してこれらの消去回数を管理する第1の工程と、前記所定数の消去単位の消去回数のすべてまたは一部が同一の消去回数となるように、書き込みデータの転送先となる消去単位を決定する第2の工程とを有することを特徴とするメモリの制御方法。

【請求項9】 前記第1の工程は、前記第2の工程で選

2

択された所定数の消去単位の消去回数すべて又は一部が同一の消去回数となったときに、別の消去単位を前記所定数だけ選択してこれらの消去回数を管理する工程を含むことを特徴とする請求項7記載のメモリの処理方法。

【請求項10】 前記第1の工程は、書き換え回数の少ない又は多い所定数の消去単位を選択する工程を含むことを特徴とする請求項9記載のメモリの処理方法。

【請求項11】 データ消去回数に制限のあるメモリと、メモリの消去単位毎に、各消去単位の消去回数に従って消去単位を連鎖する制御情報を管理する第1の手段と、前記制御情報に応じて、書き込みデータの転送先となる消去単位を決定する第2の手段とを有することを特徴とする装置。

【請求項12】 前記装置は更に、データ消去回数に制限のないメモリと、該メモリと前記データ消去回数に制限のあるメモリとの間のデータ転送を制御するデータ転送制御手段とを有することを特徴とする請求項11記載の装置。

【請求項13】 前記装置は更に、外部メモリとして接続されるデータ消去回数に制限のないメモリと前記データ消去回数に制限のあるメモリとの間のデータ転送を制御するデータ転送制御手段を有することを特徴とする請求項11記載の装置。

【請求項14】 データ消去回数に制限のあるメモリを制御する装置であって、メモリの消去単位毎に、各消去単位の消去回数に従って消去単位を連鎖する制御情報を管理する第1の手段と、前記制御情報に応じて、書き込みデータの転送先となる消去単位を決定する第2の手段とを有することを特徴とする装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータ消去回数に制限のあるメモリの制御方法及びこの方法を用いた装置に関し、より詳細には、メモリの書き替え回数を均一化する制御方法及びこの方法を用いた装置に関する。データ消去回数に制限のあるメモリとして、フラッシュメモリが知られている。フラッシュメモリは一定領域毎に消去単位が決められており、その消去回数が限られており、消去回数の上限に達した領域から使用できなくなる特性を持つ。一方、フラッシュメモリを搭載した装置においては、装置寿命までフラッシュメモリの容量を減らすことなく動作することが要求されている。このため、フラッシュメモリの一部の領域が頻繁に書き替えられることを防いで、書き替え回数（消去回数）を均一化する必要がある。

【0002】

【従来の技術】 図14に、NOR型フラッシュメモリの一般的なメモリのマップを示す。フラッシュメモリは、次の特徴を有する。第1に、データの上書きができない

(いったん、消去しないとデータを書き込むことができない)。第2に、消去が決められた容量単位で行われる。図14に示す構成の場合、64Kバイトを1つの消去単位にしている。第3に、消去回数に制限がある。通常、NOR型で10万回、NAND型で100万回である。第4に、データバックアップに電源を必要としない。なお、このような特徴を有するメモリとして、EEPROMがある。EEPROMをフラッシュメモリの一つとして分類する場合もある。以下の説明では、上記第1ないし第4の特徴を持つメモリを総称して、フラッシュメモリと称する。

【0003】書き替え回数(消去回数)の均一化方法としては、各消去単位の消去回数を逐次比較して消去回数の少ない消去単位を検索し、検索された消去単位に対し書き込みデータを優先的に転送するのが一般的である。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の均一化方法は、データ転送要求がある都度消去回数を逐次比較していたために、消去単位数が多ければ多いほど検索に時間がかかり、実際にフラッシュメモリへのデータ転送が実際に行われるまでにかなり時間がかかるという問題点を有していた。

【0005】従って本発明は上記従来技術の問題点を解決し、フラッシュメモリ等の消去回数に制限のあるメモリの書き替え回数を均一化する処理を短時間に速やかに行う方法及びこの方法を用いた装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記発明の課題を解決するための手段は次の通りである。請求項1に記載の発明は、データ消去回数に制限のあるメモリを制御する方法であって、メモリの消去単位毎に、各消去単位の消去回数に従って消去単位を連鎖する制御情報(例えば、後述する構造対の要素)を管理する第1の工程と、前記制御情報に応じて、書き込みデータの転送先となる消去単位を決定する第2の工程とを有する。

【0007】請求項2に記載の発明では、前記制御情報は、消去回数の少ない順に消去単位を連鎖する情報と、消去回数の多い順に消去単位を連鎖する情報とを含む。請求項3に記載の発明では、前記制御情報はメモリの消去単位毎に定義される構造体を含み、各構造体は対応する消去単位の消去回数と回数か又は次に多い消去回数の構造体を示す第1のポインタ情報と、対応する消去単位の消去回数と回数か又は次に少ない消去回数の消去単位を示す第2のポインタ情報とを含む。

【0008】請求項4に記載の発明では、前記第1の工程は、記録可能な消去単位のみを、前記制御情報を用いて連鎖させて管理する工程を含む。請求項5に記載の発明では、前記メモリの制御方法は更に、新たに記録可能となった消去単位をその消去回数に従って他の消去可能

な消去単位とともに連鎖させる第3の工程を含む。

【0009】請求項6に記載の発明では、前記第2の工程は、前記書き込みデータの指定された転送先の消去単位から順に前記制御情報を参照して消去単位を検索し、記録可能な消去単位のうち最も少ない消去回数の消去単位に前記書き込みデータを転送する工程を有する。請求項7に記載の発明では、前記メモリの制御方法は更に、新たに記録可能となった消去単位に関する第1及び第2のポインタを、該新たに記録可能となった消去単位の消去回数と他の記録可能な消去単位の消去回数とに基づき、該新たに記録可能となった消去単位と他の記録可能な消去単位とが連鎖するように設定する第3の工程を有する。

【0010】請求項8に記載の発明は、データ消去回数に制限のあるメモリを制御する方法であって、メモリの消去単位のうち所定数の消去単位を選択してこれらの消去回数を管理する第1の工程と、前記所定数の消去単位の消去回数のすべてまたは一部が同一の消去回数となるように、書き込みデータの転送先となる消去単位を決定する第2の工程とを有する。

【0011】請求項9に記載の発明では、前記第1の工程は、前記第2の工程で選択された所定数の消去単位の消去回数すべて又は一部が同一の消去回数となったときに、別の消去単位を前記所定数だけ選択してこれらの消去回数を管理する工程を含む。請求項10に記載の発明では、前記第1の工程は、書き換え回数の少ない又は多い所定数の消去単位を選択する工程を含む。

【0012】請求項11に記載の発明では、データ消去回数に制限のあるメモリと、メモリの消去単位毎に、各消去単位の消去回数に従って消去単位を連鎖する制御情報を管理する第1の手段と、前記制御情報に応じて、書き込みデータの転送先となる消去単位を決定する第2の手段とを有する。請求項12に記載の発明では、前記装置は更に、データ消去回数に制限のないメモリと、該メモリと前記データ消去回数に制限のあるメモリとの間のデータ転送を制御するデータ転送制御手段とを有する。

【0013】請求項13に記載の発明では、前記装置は更に、外部メモリとして接続されるデータ消去回数に制限のないメモリと前記データ消去回数に制限のあるメモリとの間のデータ転送を制御するデータ転送制御手段を有する。請求項14に記載の発明では、データ消去回数に制限のあるメモリを制御する装置であって、メモリの消去単位毎に、各消去単位の消去回数に従って消去単位を連鎖する制御情報を管理する第1の手段と、前記制御情報に応じて、書き込みデータの転送先となる消去単位を決定する第2の手段とを有する。

【0014】

【作用】請求項1に記載の発明は、消去単位の消去回数に従って消去単位を連鎖する制御情報を管理することで消去回数を制御するので、消去回数の均一化のための制

5

御情報に従って書き込みデータの転送先となる消去単位を短時間で容易に決定するように作用し、従来のように逐次比較を行う必要がない。

【0015】請求項2に記載の発明は、前記制御情報は、消去回数の少ない順に消去単位を連鎖する情報と、消去回数の多い順に消去単位を連鎖する情報とを含むので、消去単位の連鎖をたどることでデータ転送先を容易に決定でき、消去回数の均一化の管理が容易に行えるように作用する。請求項3に記載の発明は、第1のポイント情報と第2のポイント情報とで、消去回数が均一化するようにデータの転送先を容易に決定できるように作用する。請求項4に記載の発明は、前記第1の工程で記録可能な消去単位のみを前記制御情報を用いて連鎖させて管理するので、転送先を決定する際に扱うデータ量が少なくなるように作用する。

【0016】請求項5に記載の発明は、新たに記録可能となった消去単位をその消去回数に従って他の消去可能な消去単位とともに連鎖させるので、消去回数に応じた連鎖を容易に更新できるように作用する。請求項6に記載の発明は、前記第2の工程は、前記書き込みデータの指定された転送先の消去単位から順に前記制御情報を参照して消去単位を検索し、記録可能な消去単位のうち最も少ない消去回数の消去単位に前記書き込みデータを転送するので、もっとも少ない消去回数の消去単位を容易に特定できるように作用する。

【0017】請求項7に記載の発明は、前記メモリ of 制御方法は更に、新たに記録可能となった消去単位に関する第1及び第2のポイントを、該新たに記録可能となった消去単位の消去回数と他の記録可能な消去単位の消去回数とに基づき、該新たに記録可能となった消去単位と他の記録可能な消去単位とが連鎖するように設定することで、新たに記録可能となった消去単位を容易に連鎖の中に含めることができるように作用する。

【0018】請求項8に記載の発明は、メモリの消去単位のうち所定数の消去単位を選択してこれらの消去回数を管理し、前記所定数の消去単位の消去回数のすべてまたは一部が同一の消去回数となるように、書き込みデータの転送先となる消去単位を決定するので、少ないデータ量で短時間で容易に、消去回数が均一化するようにデータ転送先の消去単位を決定することができるように作用する。

【0019】請求項9に記載の発明は、前記第1の工程は、前記第2の工程で選択された所定数の消去単位の消去回数すべて又は一部が同一の消去回数となったときに、別の消去単位を前記所定数だけ選択してこれらの消去回数を管理することで、メモリ全体の消去回数を均一にするように作用する。請求項10に記載の発明は、前記第1の工程は、書き換え回数の少ない又は多い所定数の消去単位を選択するように作用する。

【0020】請求項11に記載の発明の第1の手段は、

6

データ消去回数に制限のあるメモリと、メモリの消去単位毎に、各消去単位の消去回数に従って消去単位を連鎖する制御情報を管理する。第2の手段は、前記制御情報に応じて、書き込みデータの転送先となる消去単位を決定する。よって、消去回数の均一化のための制御情報に従って書き込みデータの転送先となる消去単位を短時間で容易に決定でき、従来のように逐次比較を行う必要がない。

【0021】請求項12に記載の発明のデータ転送制御手段は、前記装置は更に、データ消去回数に制限のないメモリと、該メモリと前記データ消去回数に制限のあるメモリとの間のデータ転送を制御するように作用する。請求項13に記載の発明のデータ転送手段は、外部メモリとして接続されるデータ消去回数に制限のないメモリと前記データ消去回数に制限のあるメモリとの間のデータ転送を制御するように作用する。これにより、フラッシュメモリ半導体ディスクのような装置において、消去回数の均一化のための制御情報に従って書き込みデータの転送先となる消去単位を短時間で容易に決定でき、従来のように逐次比較を行う必要がない。

【0022】請求項14に記載の発明の第1の手段は、データ消去回数に制限のあるメモリを制御する装置であって、メモリの消去単位毎に、各消去単位の消去回数に従って消去単位を連鎖する制御情報を管理する。第2の手段は、前記制御情報に応じて、書き込みデータの転送先となる消去単位を決定する。これにより、フラッシュメモリカードのような装置内のフラッシュメモリにおいて、消去回数の均一化のための制御情報に従って書き込みデータの転送先となる消去単位を短時間で容易に決定でき、従来のように逐次比較を行う必要がない。

【0023】

【実施例】以下、本発明の一実施例を説明する。図1は、本発明の制御方法を用いたシステムの一構成例を示すブロック図である。図1に示すシステムはフラッシュメモリ11と、制御部14とフラッシュメモリ11以外のメモリ（以下、その他のメモリと称する）15とを有する。制御部14は、CPU12とデータ転送回路13とを有する。データ転送回路13は、例えばDMA（Direct Memory Access）コントローラで構成される。なお、制御部12全体がCPUで構成される場合は、ブロック12及び13共に、CPUが所定のプログラムを実行することで実現されるものである。

【0024】フラッシュメモリ11は複数の消去単位16に区分されており、この消去単位毎にデータを消去し、新たなデータを書き込む。図1には、便宜上、4つの消去単位を示しており、それぞれ消去単位番号0〜3で特定される。また、各消去単位毎に消去回数が管理されている。この消去回数を示す情報は、例えば各消去単位の先頭1バイトに格納されている。例えば、消去単位

番号0の消去単位は880回の消去が行われたことを示している。制御部14はシステム全体の動作を制御する。例えば、CPU12は後述する手順に従い、その他のメモリ15から読み出されたデータをどの消去単位に書き込むかを決定し、データ転送回路13は実際のデータ転送を制御する。

【0025】本実施例による書き替え回数の均一化方法では、図2に示すように定義された構造体21を用いる。構造体21は各消去単位毎に設定され、それぞれ3つの要素22、23及び24からなる。要素22は、この構造体が示す消去単位的位置を示す情報である。要素23は、この構造体（要素22で示される構造体）が示す消去単位の消去回数と同じかその次に多い消去回数を持つ記録可能な消去単位を示す情報（ポイント）である。要素24は、この構造体（要素22で示される構造体）が示す消去単位の消去回数と同じかそれよりも少ない消去回数のうちの最大消去回数を持つ記録可能な消去単位を示す情報（ポイント）である。なお、後述するように、構造体21は3つの要素22～24を必ず持つ必要はなく、例えば構造体21を消去単位番号順に並べることで、構造体21中の要素22を省略することができる。

【0026】図2に示すような構造体21をシステムの初期動作時に作成し、書き替え可能な記憶媒体上（例えば、図1に示すその他のメモリ15又はフラッシュメモリ11上）に記憶させる。図3は、上記構造体21を参照してフラッシュメモリ11に対し書き込みデータを転送先（書き込む消去単位）を決定する処理を説明するための図である。図3の例では、消去単位番号順に構造体が配列されている。すなわち、構造体の配列が要素22に相当し、各構造体は要素23及び24のみを有する。以下、このような構造体を参照番号31で特定する。図3に示す構造体31のうち、要素23及び24共に記号“ダッシュ”が表示されているものに対応する消去単位（例えば、消去単位番号0の消去単位）は、書き込み不可となっている。それ以外の構造体に対応する消去単位は、記録可能である。図3の例では、消去単位番号1、2、5、7及び9で指定される消去単位は記録可能である。消去単位番号1に対応する構造体31の要素23は“5”で、要素24は“9”である。この要素23の値“5”は、消去単位番号1に対応する消去単位の消去回数（書き替え回数。図3の例では5回）と同数か又はそれよりも大きい最小の（次に多い）消去回数を有する記録可能な消去単位は消去単位番号5であることを示している。図3の例では、記録可能な消去単位のうち、5回の消去回数に等しいか又は次に多い消去回数は7回の消去回数である。また、要素24の値“9”は、消去単位番号1に対応する消去単位の消去回数と同数か又はそれよりも少ない最大の消去回数を有する記録可能な消去単位は消去単位番号9であることを示している。図3

の例では、2回の書き込み回数が5回の書き込み回数より小さい消去回数のうちの最大値であり、よって消去単位番号1の構造体31の要素24には消去単位番号9が指定されている。

【0027】図4は、フラッシュメモリ11内のデータの転送先を決定する処理のフローチャートであり、図1に示す制御部14のCPU12が実行する。ステップS11で、CPU12はデータ転送先38を示す情報で指定されている消去単位番号に対応する構造体31を参照する。CPU12はステップS12で、参照した構造体31の要素24は消去単位番号を指定しているかどうかを判断する。判断結果がNOの場合には、CPU12はステップS13を実行し、この構造体31内の要素23が指定する消去単位番号をデータ転送先と決定し、処理を終了する。このように、データ転送先38として指定された消去単位の構造体31が要素24を指定していない場合には、これよりも少ない消去回数の消去単位は存在していないので、この消去単位にデータを書き込む。

【0028】ステップS12の判断結果がYESの場合には、データ転送先38として指定された消去単位よりも少ない消去回数の消去単位が存在する可能性があるので、以下に述べるステップS14～S16でより消去回数の少ない消去単位を検索する。ステップS14で、CPU12は要素24で指定されている消去単位番号を新たにデータの転送先38とする。ステップS15で、CPU12はデータ転送先38中の消去単位番号に対応する構造体31を参照する。そして、ステップS16でステップS12と同様の判断、すなわち参照した構造体31の要素24は消去単位番号を指定しているかどうかを判断する。判断結果がNOの場合には、この構造体31に対応する消去単位よりも消去回数の少ない消去単位は存在していないので、処理を終了する。ステップS16の判断結果がYESの場合には、この構造体31に対応する消去単位よりも消去回数の少ない消去単位が存在する可能性があるので、ステップS14に戻り前述の処理を行う。このようにして、ステップS16の判断結果がNOとなるまで繰り返しステップS14～S16の処理が行われ、最も少ない消去回数の消去単位にデータを書き込むようにしている。

【0029】図3の例では、データ転送先38として消去単位番号2が指定されており、この場合のステップS12の判断結果はNOなので、まず消去単位番号2の消去単位にデータが書き込まれ、もし書き込みデータのすべてをここに書き込むことが出来なかった場合には、ステップS13で指定されたデータ転送先、すなわち、図3の例では消去単位番号9の消去単位に残りのデータが書き込まれる。

【0030】もし、データ転送先38が消去単位番号2ではなく9の場合にはステップS12の判断結果はYESとなり、ステップS14でデータ転送先38として要

素24で指定される消去単位番号、すなわち消去単位番号2が設定される。この場合のステップS16の判断結果はNOとなり、消去単位番号2の消去単位にデータが書き込まれる。

【0031】なお、図4の処理が終了した後、CPU12は構造体31を更新する。例えば、図3の例で消去単位番号2の消去単位にデータが書き込まれた場合には、対応する構造体31の要素23の指定を消去し、書き込み不可とする。また、これと同時にこの要素23が指定する消去単位番号9の構造体31の要素24の指定を消去する。これにより、消去単位番号9の消去単位の消去回数2よりも少ない消去回数の記録可能な消去単位は存在しないことが示される。

【0032】次に、新たな記録可能になった消去単位がある場合、新たに記録可能になった消去単位の要素（ポインタ）23及び24を設定し、かつその前後の要素23及び24を修正する処理について、図5、図6及び図7を参照して説明する。図5は、図3に示す状態において、消去単位番号4の消去単位43が新たに記録可能となった場合を示す。この際、消去単位43のデータは一括して消去されるので、対応する消去回数は新消去回数4に更新される。消去単位43に対応する構造体31の要素23及び24はそれぞれ“1”及び“9”に設定されると共に、消去単位番号1に対応する構造体31の要素24は“9”から“4”に変更され、消去単位番号9に対応する構造体31の要素23は“1”から“4”に変更される。この処理を、図1に示すCPU12が図6及び図7に示す処理を実行することで行われる。

【0033】図6のステップS21において、CPU12は、新たに記録可能となった消去単位43の消去回数を1つ増やして、新消去回数42とする。ステップS22で、CPU12はデータ転送先38として指定されたデータ（消去単位番号）をデータ検索先41とする。ステップS23で、CPU12はデータ検索先41のデータである消去単位番号で構造体31を参照する。ステップS24で、CPU12は参照した構造体31の要素22の消去回数が、新消去回数42よりも多いかどうかを判断する。ステップS24の判断結果がYESの場合は、CPU12はステップS25で要素24のデータである消去単位番号をデータ検索先41とする。そしてステップS26で、CPU12はデータ検索先のデータである消去単位番号でデータ構造体31を参照する。ステップS27で、CPU12はステップS24と同様の判断、すなわち参照した構造体31の要素22の消去回数が、新消去回数42よりも多いかどうかを判断する。ステップS27の判断結果がYESの場合にはステップS25に戻り、以降ステップS27の判断結果がNOとなるまで、CPU12はステップS25～S27のループを繰り返す。

【0034】ステップS27の判断結果がNOの場合に

はステップS28で、CPU12は参照して要素23のデータである消去単位番号と新たに記録可能となった消去単位番号43とを入れ換える。ステップS29で、CPU12は入れ換えた消去単位番号を新たに記録可能となった消去単位の要素23に記録する。ステップS30で、CPU12は入れ換えたデータである消去単位番号で構造体31を参照する。ステップS31で、CPU12は参照した要素24のデータとして、新たに記録可能となった消去単位番号43を記録する。図7に示すステップS32で、CPU12はデータ検索先41を新たに記録可能となった消去単位の要素24に記録する。

【0035】図6のステップS24の判断結果がNOの場合には、CPU12はステップS33で、参照した構造体31の要素23のデータである消去単位番号をデータ検索先41とする。ステップS34で、CPU12はデータ検索先41として指定されている消去単位番号で構造体31を参照する。ステップS35で、参照した構造体31の要素22の消去回数が新消去回数42よりも少ないかどうかを判断する。ステップS35の判断結果がYESの場合にはステップS33に戻り、CPU12はステップS35の判断結果がNOとなるまで、ステップS33～S35のループを繰り返す。

【0036】ステップS35の判断結果がNOの場合には、ステップS36で、CPU12は参照した要素24のデータである消去単位番号と新たに記録可能となった消去単位番号43とを入れ換える。ステップS37で、CPU12は入れ換えた消去単位番号を新たに記録可能となった消去単位の要素24に記録する。そして、図7に示すステップS38で、CPU12は入れ換えたデータで構造体31を参照する。ステップS39で、CPU12は参照した要素23のデータに新たに記録可能となった消去単位番号43を記録する。最後にステップS40で、CPU12は、データ検索先41を新たに記録可能となった消去単位の要素23に記録する。

【0037】図5に示す例の場合、図3に示す状態においてステップS23で参照する構造体31は消去単位番号1のものであり、ステップS24の判断結果はYESとなる。ステップS25で、消去単位番号1の要素24のデータである消去単位番号9がデータ検索先41として設定され、ステップS26で消去単位番号9の構造体31が参照される。この場合のステップS27の判断結果はNOとなる。ステップS28及びS29で、消去単位番号9の構造体31の要素23に新たに記録可能となった消去単位番号43である“4”が書き込まれ、新たに記録可能となった消去単位43である消去単位番号4の構造体31の要素23に、入れ換えられたデータである消去単位番号1が書き込まれる。ステップS30でもともと要素23のデータであった消去単位番号1を用いて対応する構造体31を参照する。ステップS31で、消去単位番号1の構造体31の要素24に、新たに記録

11

可能となった消去単43位の消去単位番号4が記録される。そして、ステップS32で新たに記録可能となった消去単位の構造体31の要素24に、データ検索先41として設定されている消去単位番号9が記録される。

【0038】以上のようにして、新たに記録可能となった消去単位43が記録可能な他の消去単位の連鎖の中に組み込まれる。次に、本発明の第2の実施例について説明する。図8は、本発明の第2の実施例の概要を示す図である。第2の実施例においては、図8(A)に示す消去単位番号(図示の例では21個)から、書き換え回数10の少ない又は多い所定数の消去単位をピックアップして、これらの消去単位の消去回数が同一回数になるように優先的にデータ転送を行うことを特徴とする。なお、ピックアップの対象は、原理的には任意でも可能である。

【0039】図8(B)において、図8(A)に示す消去回数のうち、少ないものから順に同一の消去回数を選択されないように、5つを選択する。図8(B)の例では、消去単位番号9、8、5、1及び7が選択され、これを図示のように並べたものを代表順位とする。このようにして選択した5つの消去単位に対し、データ転送を優先的に行う。5つの消去単位の消去回数が同一となるまでは、他の消去単位にデータを転送しない。同一となった場合には、別の消去単位5つを選択する。図8(B)に示す例では、消去単位番号17、11、10、4及び12が選択されている。

【0040】図9は、第2の実施例による処理を示すフローチャートであり、図1に示すCPU12が実行する。まず、図中の記号(変数)の定義について説明する。“v”は一時変数を意味する。“w”は図8(A)に示す消去回数を意味し、“x”は図8(A)に示す消去単位番号を意味する。“y”は図8(B)に示すピックアップされた消去単位の消去回数を意味し、“z”は図8(B)に示すピックアップされた消去単位の消去単位番号を意味する。

【0041】以下、図9に示す処理について、図10を参照して説明する。ステップS41で、CPU12はピックアップした5つの消去回数yを最大消去回数MAXに設定し、ピックアップ消去単位番号zを0~4に設定し、消去単位番号xに0を設定する。ステップS41を実行した結果を図10の(a)に示す。ステップS42で、CPU12は $x \geq 21$ かどうかを判断する。この判断結果がYESの場合には処理を終了する。NOの場合には、ステップS43に進み、ピックアップされた消去単位番号0の消去回数y[0](=MAX)が消去単位番号x(最初はx=0)の消去回数w[x]よりも大きいかどうかを判断する。図8の例ではx[0]=8でステップS43の判断結果はYESであり、CPU12はステップS44を実行する。ステップS44ではy

12

[0]の値とし、xをz[0]に挿入する。w[0]=MAXなので、図10(b)に示すように、ピックアップされた消去単位番号0の消去回数y[0]は8となる。ステップS43の判断結果がNOの場合には、ステップS45でCPU12はy[0]=w[x]かどうかを判断する。判断結果がYESの場合はステップS58に進み、NOの場合はステップS46でw[x]の値をvに挿入する。

【0042】その後、以下に説明するステップを実行することで、図10(c)以降に示しているように、ピックアップされた消去単位の消去回数よりも小さい消去回数の消去単位が検出されるとこれをピックアップし、z(0)のその消去単位番号を記録しy(0)にその消去回数を記録する。そして、今までピックアップした消去単位番号とその消去回数を1つ繰り下げる。例えば、図10(c)の状態で消去回数4よりも小さい消去回数3が検出されると、図10(d)に示すように、その消去単位番号5と消去回数3を先頭に記録し、今までにピックアップしていた2つの消去単位を1つ繰り下げる。以下、同様にして、最終的に図10(g)に示す代表順位が得られるようになる。

【0043】図9に戻り、ステップS47で、CPU12はy[1]がvの値よりも大きいかどうかを判断する。判断結果はYESの場合には、ステップS48で、CPU12はy[1]の値と一時変数vの値を交換し、x(=0)の値をz[1]に挿入する。そして、ステップS50を実行する。ステップS47の判断結果がNOの場合には、ステップS49でCPU12はy[1]=vかどうかを判断する。この判断結果がYESの場合にはステップS58に進み、NOの場合にはステップS50に進む。

【0044】ステップS50で、CPU12はy[2]がvよりも大きいかどうかを判断する。この判断結果がYESの場合にはステップS51に進み、CPU12はvとy[2]の値を入れ換え、xの値をz[2]に設定する。そして、CPU12はステップS53を実行する。ステップS50の判断結果がNOの場合には、CPU12はステップS52でy[2]=vかどうかを判断する。この判断結果がNOの場合にはステップS53に進み、YESの場合にはステップS58に進む。ステップS53で、CPU12はy[3]がvよりも大きいかどうかを判断する。この判断結果がYESの場合にはステップS54に進み、CPU12はvとy[3]の値を入れ換え、xの値をz[3]に設定する。そして、CPU12はステップS56を実行する。ステップS53の判断結果がNOの場合には、CPU12はステップS55でy[3]=vかどうかを判断する。この判断結果がNOの場合にはステップS56に進み、YESの場合にはステップS58に進む。ステップS56で、CPU12はy[4]がvよりも大きいかどうかを判断する。この

[0]の値を一時変数vに挿入し、w[x]の値をy

13

判断結果がYESの場合にはステップS58に進み、CPU12はvとy[4]の値を入れ換え、xの値をz[4]に設定する。そして、CPU12はステップS58を実行する。ステップS56の判断結果がNOの場合には、CPU12はステップS52でy[2]=vかどうかを判断する。この判断結果がNOの場合にはステップS58に進む。

【0045】このようにして、図8(B)及び図10(g)に示すように、消去回数が少ない順に5つの消去単位がピックアップされる。このようにピックアップされた5つの消去単位に対し、データを優先的に転送し、消去可能となると消去回数が1つカウントアップされる。上記第2の実施例では、ピックアップした5つの消去単位の消去回数がすべて等しくなった場合に別の5つの消去単位をピックアップする構成であるが、これに代えて所定数の消去単位の消去回数が等しくなった場合に、別の5つの消去単位をピックアップする構成とすることも可能である。

【0046】図11は、上記消去回数の均一化方法を適用したシステムの一構成例を示すブロック図である。以下、この構成を本発明の第3の実施例として説明する。図11に示すシステムは、フラッシュメモリICカード50とホストコンピュータ54とを有する。図1の構成に対応させると、図1のフラッシュメモリ11が図11のフラッシュメモリICカード50に対応し、図1の制御部14及びその他のメモリ15が図11のホストコンピュータ54に相当する。ホストコンピュータ54はフラッシュメモリICカード50に対し、前述した第1又は第2の実施例の処理を実行する。すなわち、このような処理を行うホストコンピュータ54を用いたシステムに、第3の実施例の特徴がある。

【0047】フラッシュメモリICカード50は、複数のフラッシュメモリチップ51、アドレスデコーダ・チップセクタ52及びアドレス/データバス53を具備する。フラッシュメモリICカード50は、例えばホストコンピュータ54内のカード挿入スロット内に装着され、アドレス/データ及び制御信号を互いに送受する。各フラッシュメモリチップ51は複数の消去単位に分割され、全記憶領域を通して前述の消去単位番号が設定されている。これに代えて、フラッシュメモリチップ51をいくつかのグループに分割し、各グループ毎に独立して消去単位番号を設け、前述した処理を行ってもよい。ある消去単位にアクセスするには、チップ選択信号でチップを選択し、対応する消去単位のアドレスを各チップに出力する。選択されたチップのみアドレスを受け取り、ホストコンピュータ54からのデータ転送を受ける。

【0048】以上のようなフラッシュメモリICカード50に対し、簡単に短時間の消去回数の均一化処理を適用することで、高速な外部記憶媒体を提供することがで

14

きる。図12は、上記消去回数の均一化方法を適用したシステムの別の構成例を示すブロック図である。以下、この構成を本発明の第4の実施例として説明する。図12に示すシステムは、フラッシュメモリ半導体ディスク56とホストコンピュータ65とを有する。図1の構成に対応させると、図1のフラッシュメモリ11及び制御部14が図12に示すフラッシュメモリ半導体ディスク56に対応し、図1のその他のメモリ15が図12のホストコンピュータ65（その内部又は外部メモリ）に相当する。フラッシュメモリ半導体ディスク56内部で、前述した第1又は第2の実施例の処理を実行する点に、第4の実施例の特徴がある。

【0049】フラッシュメモリ半導体ディスク56は、複数のフラッシュメモリチップ57、フラッシュメモリコントロール部58、DMAコントローラ59、マイクロコントロールユニット(MCU)60、データ誤り訂正回路61、バッファRAM62、ドライブインターフェース部63及びデータバス64を有する。MCU60はシステムコントローラとして機能し、前述の第1又は第2の実施例の処理を含むディスク56全体の動作を制御する。DMAコントローラ59は図1のデータ転送回路13に相当し、MCU60からデータ転送に関する情報を受け、フラッシュメモリチップ57とホストコンピュータ65との間のデータ転送を制御する。このデータ転送において、バッファRAM62内に転送データを一時格納する。また、このデータ転送において、データ誤り訂正回路61はデータの誤り訂正処理を行う。各フラッシュメモリチップ57は複数の消去単位に分割され、全記憶領域を通して前述の消去単位番号が設定されている。ある消去単位にアクセスするには、チップ選択信号でチップを選択し、対応する消去単位のアドレスを各チップに出力する。選択されたチップのみアドレスを受け取り、ホストコンピュータ65からDMA転送制御でデータ転送を受ける。

【0050】図13は、上記消去回数の均一化方法を適用したシステムの更に別の構成例を示すブロック図である。以下、この構成を本発明の第5の実施例として説明する。図13は、フラッシュメモリ搭載ページプリンタコントローラ70の構成を示す。図1の構成に対応させると、ページプリンタコントローラ70は図1の全ての構成要素11、14及び15を含む。図示するように、ページプリンタコントローラ70は、MCU71、DMAコントローラ72、パネル操作部73、制御プログラム用ROM74、コマンドバッファRAM75、プリンタ機構制御部76、フラッシュメモリ77、フラッシュメモリ78、RAM79、アドレス/データバス80及びプリンタインタフェース81を有する。ページプリンタコントローラ70は、プリンタインタフェース81を介して図示を省略するホストコンピュータに接続される。MCU71は、前述の第1又は第2の実施例の処理を含

め、ページプリンタコントローラ71全体の動作を制御する。DMAコントローラ72は、RAM79とフラッシュメモリ77又は78との間のデータ転送を制御する。パネル操作部73は図示しないプリンタに設けられたパネル部分との間のインタフェースをとる。プリンタ機構制御部76は、図示しないプリンタの機構部との間のインタフェースをとる。例えばプリンタエンジン等に制御信号を送る。制御プログラム用ROM74は、MCU71が動作するのに必要なプログラムを格納する。コマンドバッファRAM75は、ページプリンタコントローラ70内部で用いるコマンドを一時記憶する。RAM79はページイメージの描画データを記憶する。フラッシュメモリ77は、パネル設定に関するデータを記録するのに用いられる。フラッシュメモリ78は、外字パターンを登録するために用いられる。

【0051】各フラッシュメモリ77及び78は複数の消去単位に分割され、全記憶領域を通して前述の消去単位番号が設定されている。これに代えて、フラッシュメモリ77及び78毎に独立して消去単位番号を設け、前述した処理を行ってもよい。以上、本発明の第3ないし第5の実施例を説明した。消去回数の均一化処理はこれらのシステムに限定されるものではなく、フラッシュメモリを用いた他の構成のシステムにも同様に適用できるものである。また、本発明はフラッシュメモリ以外に消去回数に制限のあるメモリ（例えば、EEPROM）の均一化処理も含むものである。

【0052】

【発明の効果】以上説明したように、本発明によれば以下の効果が得られる。請求項1に記載の発明によれば、消去単位の消去回数に従って消去単位を連鎖する制御情報を管理することで消去回数を制御するので、消去回数の均一化のための制御情報に従って書き込みデータの転送先となる消去単位を短時間で容易に決定でき、従来のように逐次比較を行う必要がない。

【0053】請求項2に記載の発明によれば、前記制御情報は、消去回数の少ない順に消去単位を連鎖する情報と、消去回数の多い順に消去単位を連鎖する情報とを含むので、消去単位の連鎖をたどることでデータ転送先を容易に決定でき、消去回数の均一化の管理が容易に行える。請求項3に記載の発明によれば、第1のポインタ情報と第2のポインタ情報とで、消去回数が均一化するようにデータの転送先を容易に決定できる。

【0054】請求項4に記載の発明によれば、前記第1の工程で記録可能な消去単位のみを前記制御情報を用いて連鎖させて管理するので、転送先を決定する際に扱うデータ量が少なくなる。請求項5に記載の発明によれば、新たに記録可能となった消去単位をその消去回数に従って他の消去可能な消去単位とともに連鎖させるので、消去回数に応じた連鎖を容易に更新できる。

【0055】請求項6に記載の発明によれば、前記第2

の工程は、前記書き込みデータの指定された転送先の消去単位から順に前記制御情報を参照して消去単位を検索し、記録可能な消去単位のうち最も少ない消去回数の消去単位に前記書き込みデータを転送するので、もっとも少ない消去回数の消去単位を容易に特定できる。請求項7に記載の発明によれば、前記メモリの制御方法は更に、新たに記録可能となった消去単位に関する第1及び第2のポインタを、該新たに記録可能となった消去単位の消去回数と他の記録可能な消去単位の消去回数とに基づき、該新たに記録可能となった消去単位と他の記録可能な消去単位とが連鎖するように設定することで、新たに記録可能となった消去単位を容易に連鎖の中を含めることができるように作用する。

【0056】請求項8に記載の発明によれば、メモリの消去単位のうち所定数の消去単位を選択してこれらの消去回数を管理し、前記所定数の消去単位の消去回数のすべてまたは一部が同一の消去回数となるように、書き込みデータの転送先となる消去単位を決定するので、少ないデータ量で短時間に容易に、消去回数が均一化するようにデータ転送先の消去単位を決定することができる。

【0057】請求項9に記載の発明によれば、前記第1の工程は、前記第2の工程で選択された所定数の消去単位の消去回数すべて又は一部が同一の消去回数となったときに、別の消去単位を前記所定数だけ選択してこれらの消去回数を管理することで、メモリ全体の消去回数を均一にすることができる。請求項10に記載の発明によれば、前記第1の工程は、書き換え回数の少ない又は多い所定数の消去単位を選択できる。

【0058】請求項11に記載の発明によれば、消去回数の均一化のための制御情報に従って書き込みデータの転送先となる消去単位を短時間で容易に決定でき、従来のように逐次比較を行う必要がない装置が得られる。請求項12に記載の発明によれば、DMA転送でデータをメモリに効率的に転送できる。

【0059】請求項13に記載の発明によれば、フラッシュメモリ半導体ディスクのような装置において、消去回数の均一化のための制御情報に従って書き込みデータの転送先となる消去単位を短時間で容易に決定でき、従来のように逐次比較を行う必要がない装置が得られる。

請求項14に記載の発明によれば、フラッシュメモリICディスクのような装置内のフラッシュメモリにおいて、消去回数の均一化のための制御情報に従って書き込みデータの転送先となる消去単位を短時間で容易に決定でき、従来のように逐次比較を行う必要がない。

【図面の簡単な説明】

【図1】本発明の消去回数均一化処理方法を用いたシステムの一構成例を示すブロック図である。

【図2】本発明の第1の実施例で用いる構造体の構成を示す図である。

【図3】図2に示す構造体を参照してフラッシュメモリ

17

に対し書き込みデータを転送先（書き込む消去単位）を決定する処理を説明するための図である。

【図4】本発明の第1の実施例の消去回数均一化処理方法を示すフローチャートである。

【図5】新たな記録可能になった消去単位がある場合、新たに記録可能になった消去単位の構造体の要素（ポイント）を設定し、かつその前後の構造体の要素を修正する処理を説明するための図である。

【図6】新たな記録可能になった消去単位がある場合、新たに記録可能になった消去単位の構造体の要素を設定し、かつその前後の構造体の要素を修正する処理を示すフローチャート（その1）である。

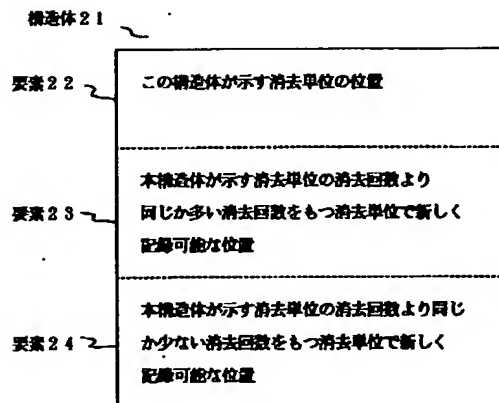
【図7】新たな記録可能になった消去単位がある場合、新たに記録可能になった消去単位の構造体の要素を設定し、かつその前後の構造体の要素を修正する処理を示すフローチャート（その2）である。

【図8】本発明の第2の実施例を示す図である。

【図9】本発明の第2の実施例の処理を示すフローチャ

【図2】

本発明の第1の実施例で用いる構造体の構造を示す図



18

ートである。

【図10】図9に示すフローチャートにより処理されるデータの変遷を示す図である。

【図11】本発明の第3の実施例を示すブロック図である。

【図12】本発明の第4の実施例を示すブロック図である。

【図13】本発明の第5の実施例を示すブロック図である。

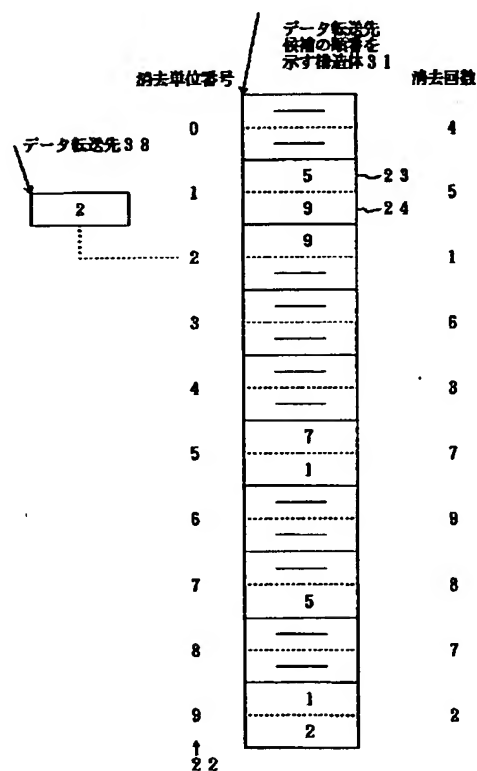
【図14】フラッシュメモリの消去単位を説明するための図である。

【符号の説明】

- 11 フラッシュメモリ
- 12 CPU
- 13 データ転送回路
- 14 制御部
- 15 その他のメモリ

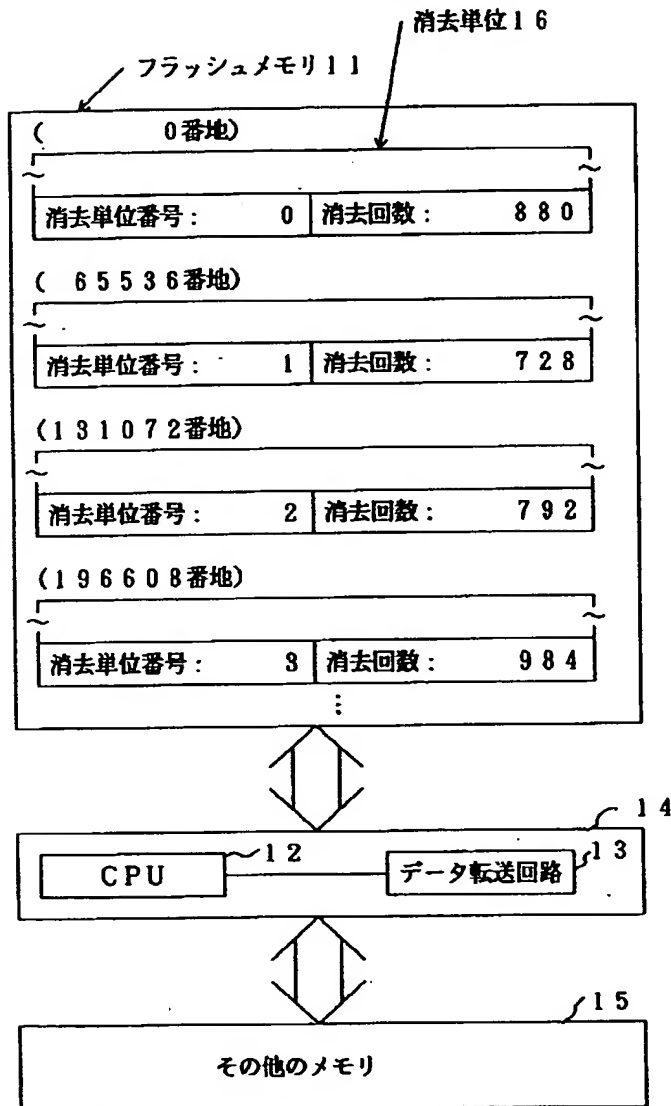
【図3】

図2に示す構造体を参照してフラッシュメモリに対し書き込みデータを転送先（書き込む消去単位）を決定する処理を説明するための図



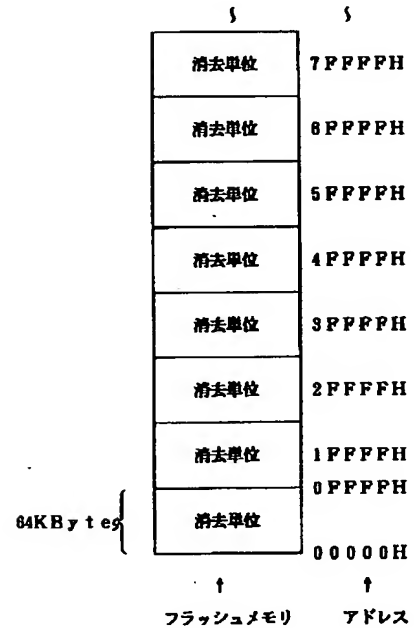
【図1】

本発明の消去回数均一化処理方法を用いた
システムの一構成例を示すブロック図



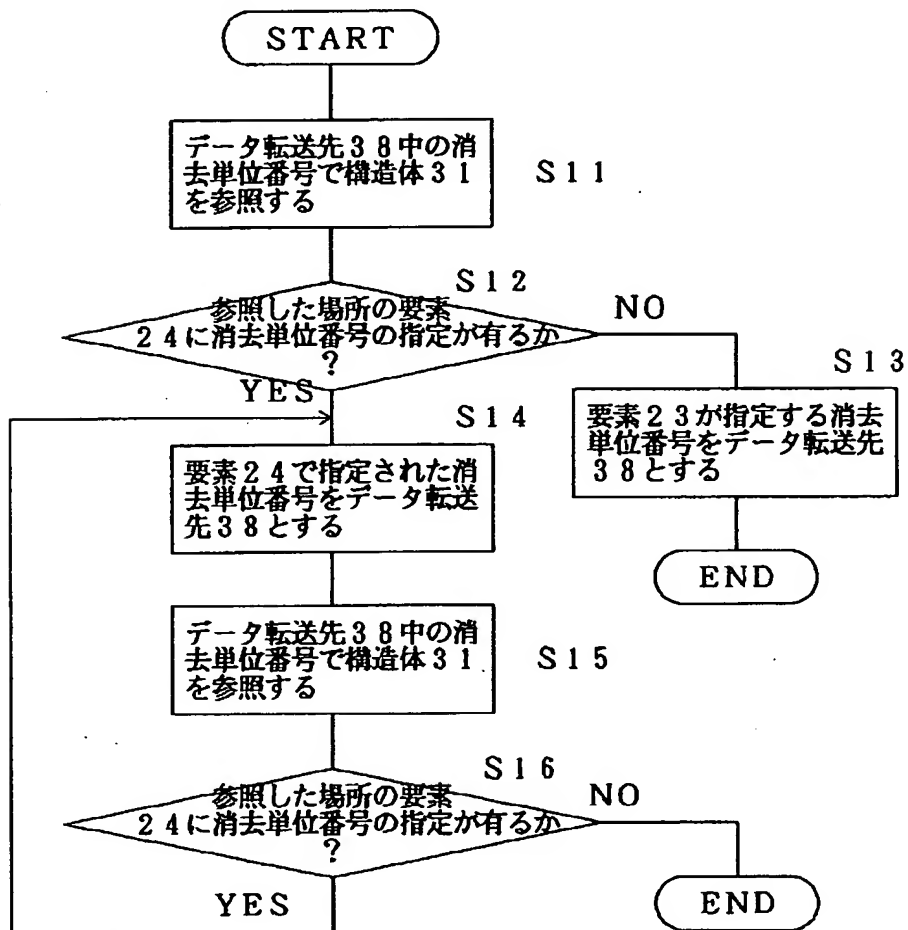
【図14】

フラッシュメモリの消去単位を説明するための図



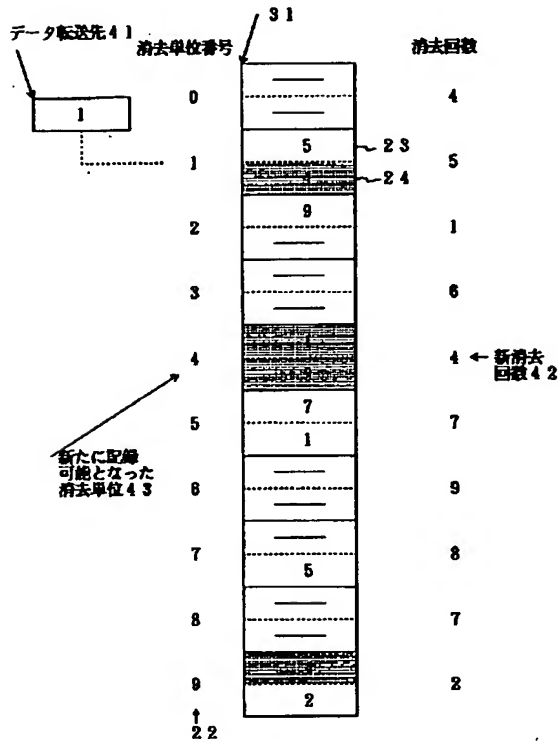
【図4】

本発明の第1の実施例の消去回数均一化処理方法を示すフローチャート



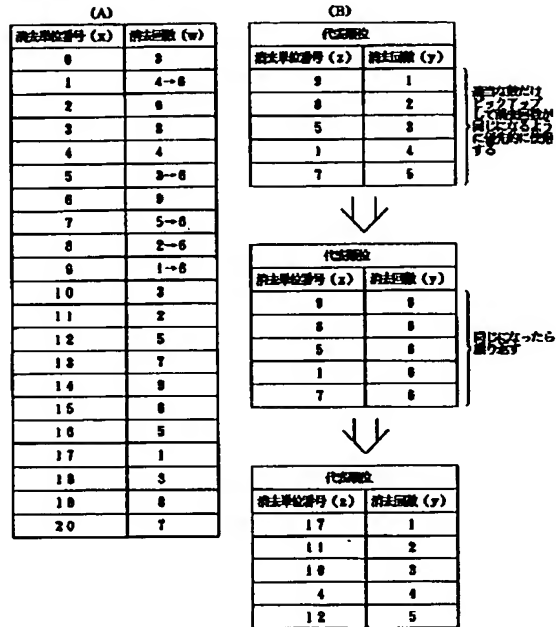
【図5】

新たな記録可能になった消去単位がある場合、新たに記録可能になった消去単位の構造体の要素（ポインタ）を設定し、かつその隣接の構造体の要素を修正する処理を説明するための図



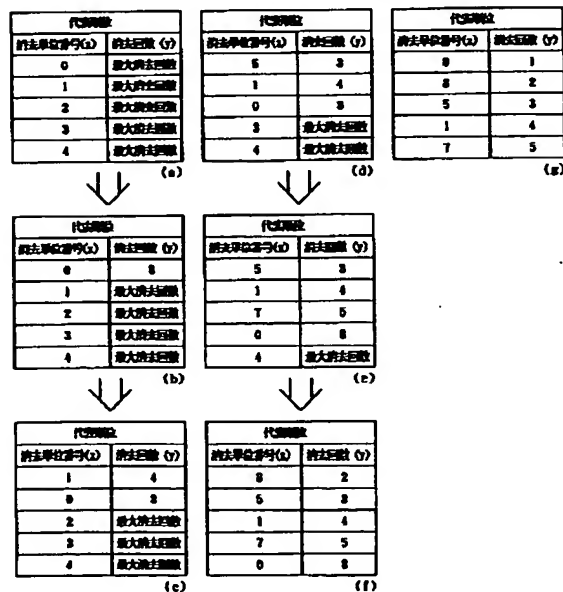
【図8】

本発明の図1の処理例のモジュール図



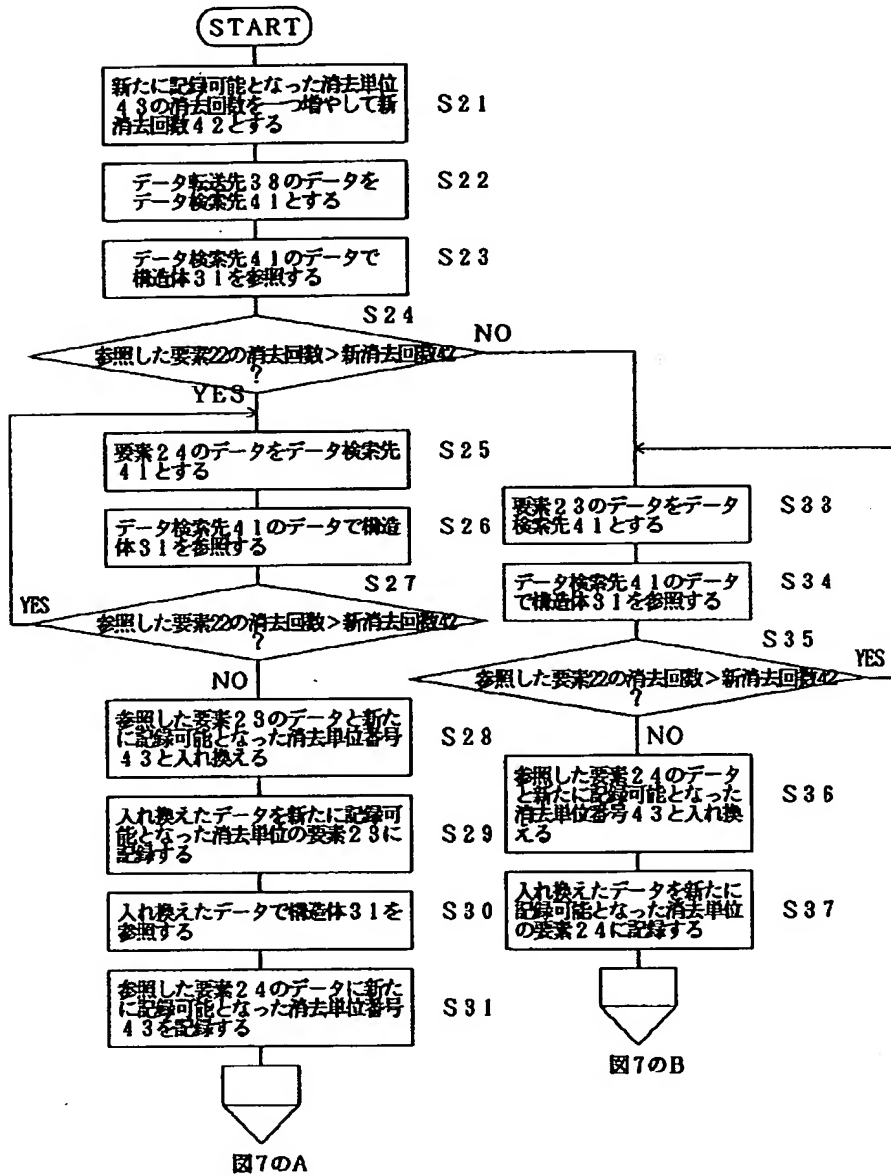
【図10】

図1に示すフローチャートにより処理されるデータの構造を説明する図



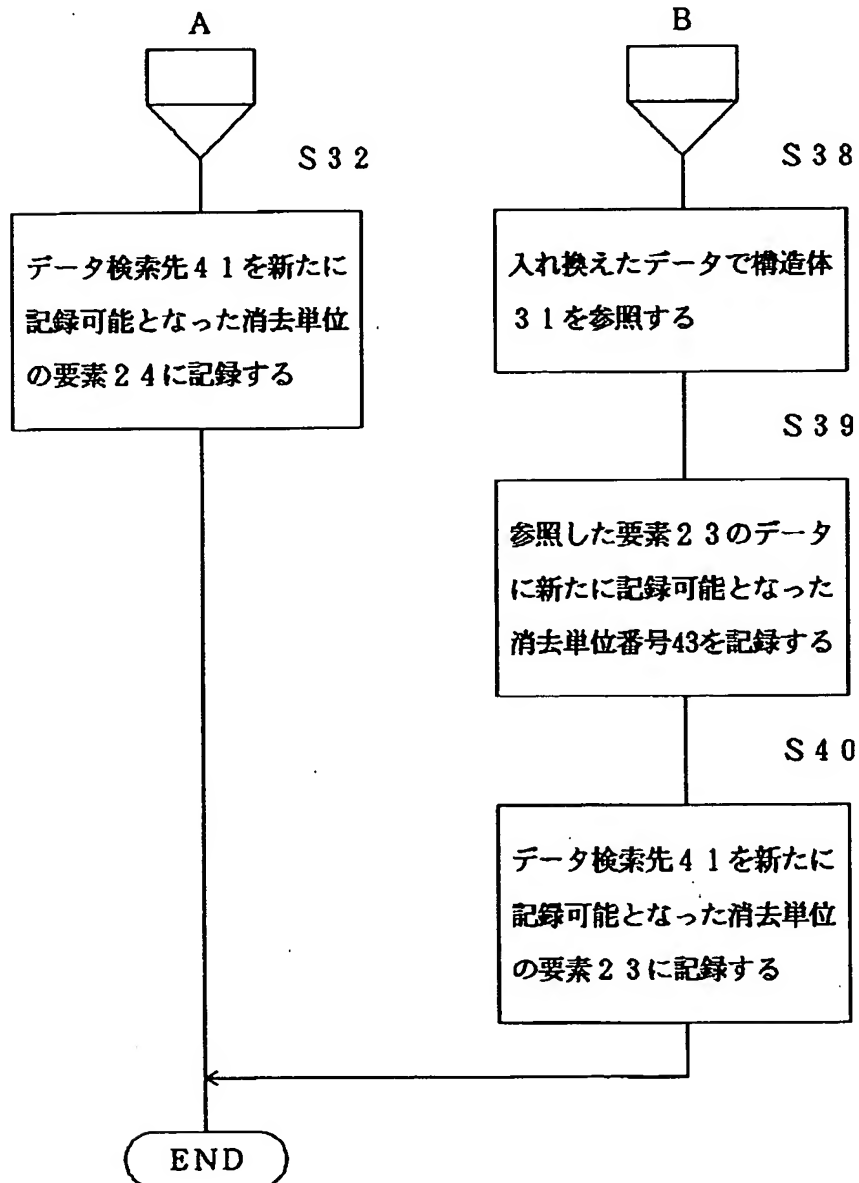
【図6】

新たに記録可能になった消去単位がある場合、新たに記録可能になった消去単位の構造体の要素を設定し、かつその前後の構造体の要素を修正する処理を示すフローチャート



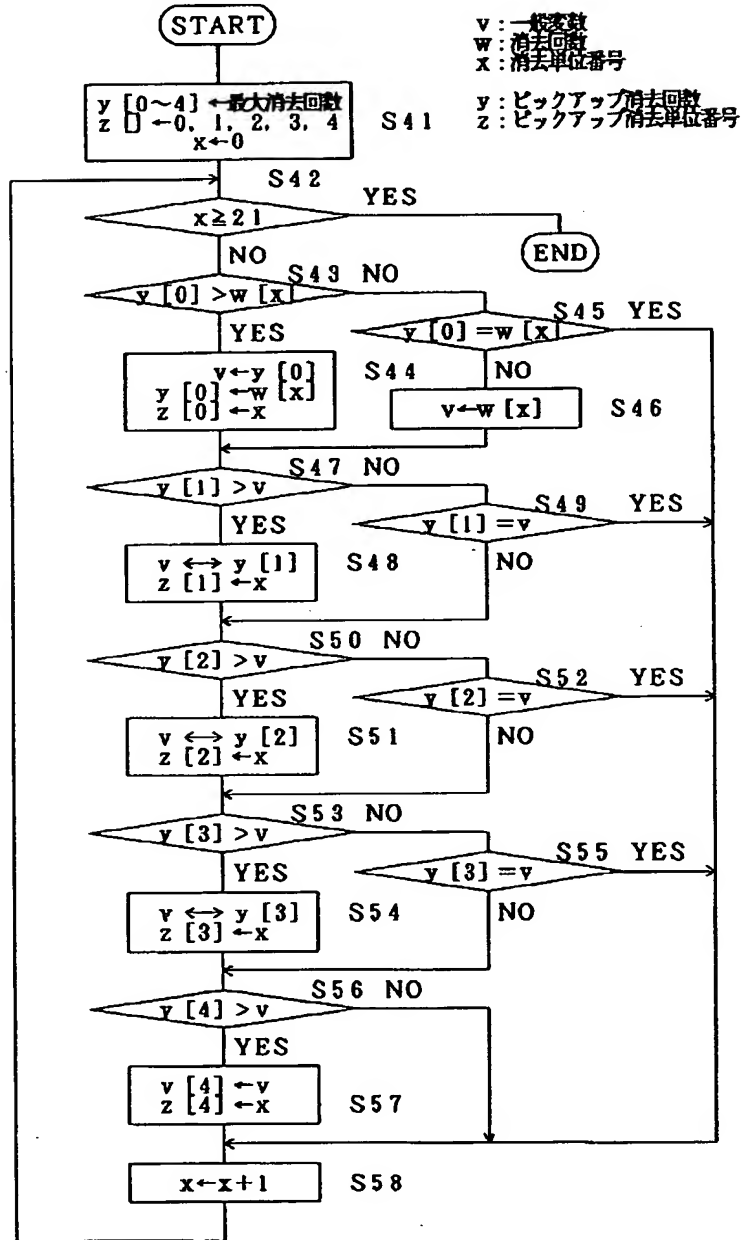
【図7】

新たな記録可能になった消去単位がある場合、新たに記録可能になった消去単位の構造体の要素を設定し、かつその前後の構造体の要素を修正する処理を示すフローチャート（その2）



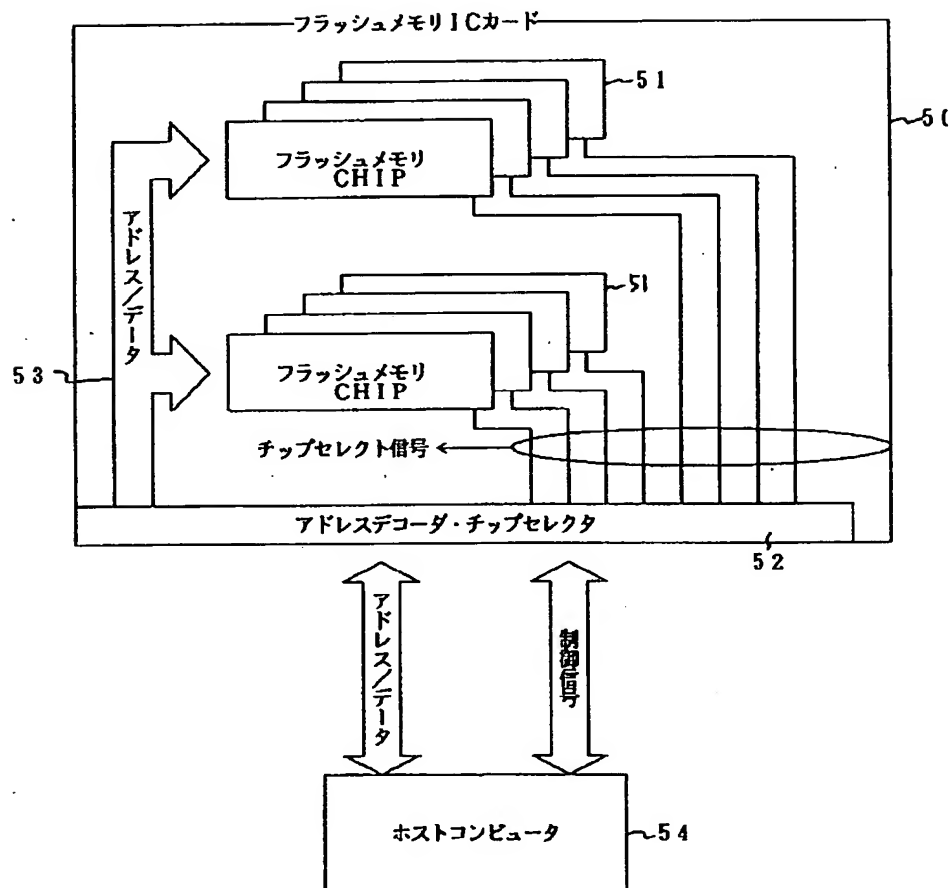
【図9】

本発明の第2の実施例の処理を示すフローチャート



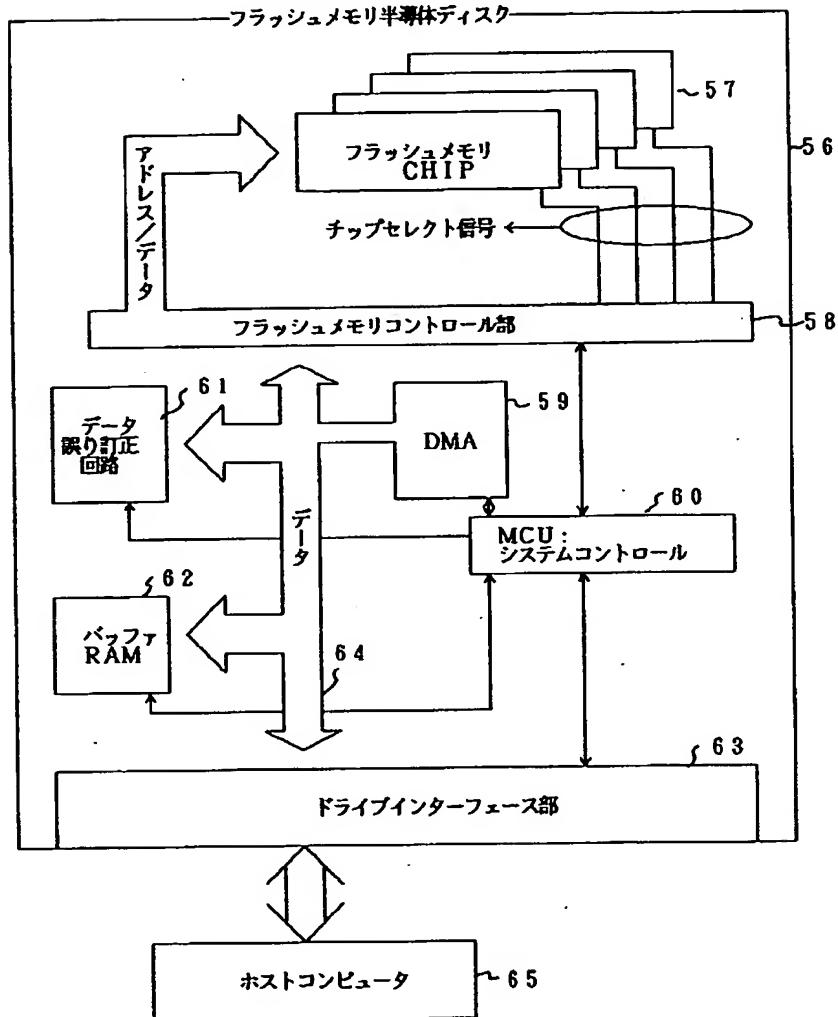
【図11】

本発明の第3の実施例を示すブロック図



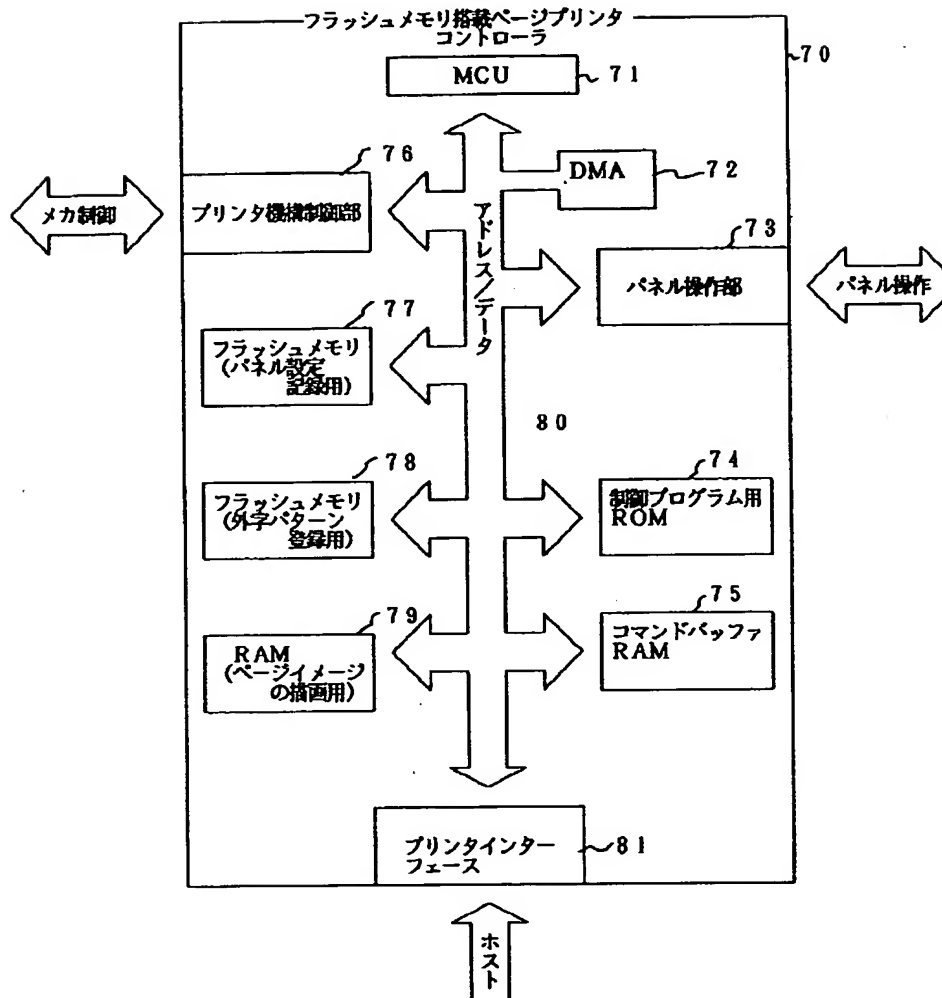
【図12】

本発明の第4の実施例を示すブロック図



【図13】

本発明の第5の実施例を示すブロック図



フロントページの続き

(72)発明者 日比 康守
 東京都品川区大崎2丁目8番8号 富士通
 デバイス株式会社内